

\$8.88 Estimated cost File351  
\$0.19 TYMNET  
\$9.07 Estimated cost this search  
\$19.27 Estimated total session cost 0.459 DialUnits

File 347:JAPIO OCT 1976-2001/Apr(UPDATED 010801)

(c) 2001 JPO & JAPIO

\*File 347: JAPIO data problems with year 2000 records are now fixed.

Alerts have been run. See HELP NEWS 347 for details.

Set	Items	Description
---	-----	-----
?ss	pn=(63073450 or 1140256)	
S1	1	PN=63073450
S2	1	PN=1140256
S3	2	PN=(63073450 OR 1140256)
?t	s3/4/all	

3/4/1

**Best Available Copy**

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- MEMORY PARITY CHECKING METHOD

PN- 01-140256 -J P 1140256 A-

PD- June 01, 1989 (19890601)

AU- HONMA MASAHIRO

PA- FUJITSU LTD [000522] (A Japanese Company or Corporation), JP (Japan)

AN- 62-298332 -JP 87298332-

AN- 62-298332 -JP 87298332-

AD- November 26, 1987 (19871126)

IC- -4- G06F-012/16; H03M-013/00

CL- 45.2 (INFORMATION PROCESSING -- Memory Units); 42.4 (ELECTRONICS -- Basic Circuits)

SO- Section: P, Section No. 926, Vol. 13, No. 391, Pg. 117, August 30, 1989 (19890830)

AB- PURPOSE: To reduce the number of memories to a half by storing data requiring parity data not in the bit direction of the memory but in the direction of a word.

CONSTITUTION: An address generating circuit 2 forms an address for making access to the data of eight bits and applies to the memory 1. Thereby, the data outputted after the access time of the memory 1 is initially latched by a latch circuit 4. This timing is generated by a latch control circuit 3 by considering the access time. Thereafter, the circuit 2 generates the address of the parity data corresponding to the latched data. In this case, the highest bit of the address of the memory 1 may be simply changed. In such a way, the read parity data and the previously latched data of the eight bits are inputted to a parity check circuit 5 to check an error and if there is the error, an error signal is generated. In such a way, the parity is checked by the use of the simple control circuit to reduce the number of the memories to a half.

3/4/2

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- MEMORY WRITING/READING SYSTEM

PN- 63 -073450 -JP 63073450 A-

PD- April 04, 1988 (19880404)

AU- HIRASHIMA TAKESHI

⑫ 公開特許公報(A) 平1-140256

⑬ Int. Cl.<sup>4</sup>

G 06 F 12/16  
H 03 M 13/00

識別記号

3 2 0

庁内整理番号

A-7737-5B  
6832-5J

⑭ 公開 平成1年(1989)6月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 メモリパリティチェック方法

⑯ 特 願 昭62-298332

⑰ 出 願 昭62(1987)11月26日

⑱ 発 明 者 本 間 正 広 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

Best Available Copy

明 細 書

1. 発明の名称

メモリパリティチェック方法

2. 特許請求の範囲

メモリデータのパリティチェック方法に関し、  
メモリ(1)のデータをアクセスするためのアドレス発生回路(2)と、アクセスタイム後に出力されたデータをラッチするラッチ回路(4)と、ラッチするタイミングを発生するラッチ制御回路(3)と、前記ラッチしたデータと対応するパリティデータをチェックするパリティチェック回路(5)とから構成し、

パリティデータと必要なデータをメモリのビット方向ではなく、ワード方向領域に分割収容することを特徴とするメモリパリティチェック方法。

3. 発明の詳細な説明

(概 要)

メモリデータのパリティチェック方法に関し、パリティデータと必要なデータをメモリのビット方向ではなく、ワード方向に収容することによりメモリ領域を有効に使用することを目的とし、データをアクセスするためのアドレス発生回路と、アクセスタイム後に出力されたデータをラッチするラッチ回路と、ラッチするタイミングを発生するラッチ制御回路と、前記ラッチしたデータと対応するパリティデータをチェックするパリティチェック回路とより構成する。

(産業上の利用分野)

本発明は、メモリデータのパリティチェック方法に関し、特にパリティデータと必要なデータをメモリのビット方向ではなく、ワード方向に収容する方法に関する。

一般にパリティチェックとはビット情報の誤り

を検出したり、訂正したりするためにパリティビットを付加してチェックする方法で、単一誤りの検出には余分のビットを1つ加えて、各ワードにおける1のビットの総数を奇数にするか偶数にするかにより、その符号が誤りかどうかを判断している。しかしこの方法はどの情報が誤りかどうかを判断するだけで、誤りが何ビットめであるかどうかを検出するためには、検査用のビットを例えば3ビット付加して1ビット毎の誤りを検出して訂正することが可能なハミングコード形式のチェック方法がある。

しかし音声データのような場合、例えば交換機の受話器上げ時の発信音や話中音をデジタル的に発生するのに使用される400Hz, 800Hz, 1KHz等の信号の断続(2:1)や連続回路においては、それほど正確なチェックは必要としない。

したがってデータもアナログ信号を8ビットのデジタル信号に変換してROMに挿入しており、8ビットのデータがこわれているかどうかをチェックするため1ビットを付加して、9ビットで読

み出しエラーチェックを行っている。

#### (従来の技術)

従来のメモリパリティチェック方法の概要を第3図(a)に示す。8ビットのデータを格納するメモリ1と、1ビットのパリティビットを格納するメモリ2からなり、いずれも1K=2<sup>10</sup>ビットのワードを識別する10本のアドレスを持つメモリから成り立っている。同一アドレスに対してメモリ1の8ビットデータと、メモリ2のパリティビット1ビットとを付加して、9ビット符号で読み出しパリティチェックを行っている。

第3図(b)に従来例のメモリ構成図を示す。メモリ1とメモリ2は8ビット×1Kのメモリを構成する。それぞれA<sub>0</sub>~A<sub>9</sub>の10本のアドレス端子と、D<sub>0</sub>~D<sub>7</sub>の8本の読み取り端子から成り立つ。例えばアドレスA<sub>0</sub>に対してメモリ1の読み取りデータD<sub>0</sub>~D<sub>7</sub>とメモリ2の読み取りデータD<sub>8</sub>とをビット方向に付加して9ビット符号によりパリティチェックを行い、データにエラーが発生している

Best Available Copy

かどうかをチェックする。

#### (発明が解決しようとする問題点)

上記のパリティチェック方法では、パリティデータは必要とするデータに対してそれぞれ付加するものであるため、ワード数としてはメモリデータと同じになる。そこで本来必要とするメモリのワード数に対して、パリティを付加すればその2倍のワード数が必要となる。この方法ではメモリ2のパリティビットの収容がアドレス毎に1ビットであるため、残りの7ビットが空きになり、実装密度でも有利とは言えなかった。

#### (問題点を解決するための手段)

したがって本来必要であるワード数の2倍以上のワード数を持つメモリを用意すれば、全データは完全に収容出来る。即ちパリティデータと必要なデータとを、ビット方向ではなくワード方向に収容し、その収容方法に適した簡単な制御回路を作ることによりメモリアクセスを行い、今までの

1/2のメモリ数で従来と同じパリティチェックを行うことが出来る。

第1図に本発明の原理図を示す。図において、1はメモリ(ROMまたはRAM)、2はアドレス発生回路、3はラッチ制御回路、4はラッチ回路、5はパリティチェック回路を示す。尚メモリは2K=2<sup>11</sup>ビットアドレスのメモリでよく、前半に必要なデータ、後半にパリティデータを収容する。

#### (作用)

メモリのアクセス手順は以下の通りに行う。先ずアドレス発生回路2は8ビットのデータをアクセスするためのアドレスを作り、メモリ1に与える。これによりメモリのアクセスタイム後に出力されたデータを先ずラッチ回路4によりラッチする。このタイミングはアクセスタイムを考慮してラッチ制御回路3により発生される。この後アドレス発生回路2は今ラッチしたデータに対応するパリティデータのアドレスを発生する。この場合

はメモリ1のアドレスの最上位ビットを変更するだけで良い。こうして読み出したパリティデータと前にラッチした8ビットのデータとを、パリティチェック回路5へ入力することによりメモリのパリティチェックが終了する。

#### (実施例)

本発明の実施例の概要図を第2図(a)に示す。図において、構成は第1図と同一であるが、メモリ1はRAMでもROMでも適用出来るが、実施例のようにROMで構成した時に最も効果的になる。即ちROMは実装面積が大きく且つリードのみなので制御が簡単である為である。ROMが2Kのアドレスならば( $2^8 \sim 2^{10}$ )の11本のアドレスの中、最上位桁 $2^{10}$ のアドレスの一番上位ビットが0であるか1であるかにより、8ビットデータの領域か1ビットパリティの領域かを判定する。 $2^8 \sim 2^9$ の10本のアドレスは共通で、最上位桁のアドレスの違いだけで或るデータに対するパリティデータが読み出せる。

定を行う。したがってデータA<sub>0</sub>アドレス端子に入力があれば最初にデータD<sub>0</sub>~D<sub>7</sub>を読み取りラッチして、その後パリティ領域のパリティデータD<sub>8</sub>を読み取りワード方向のパリティチェックを行う。

なおメモリにおけるデータとパリティの収容方法はアドレスの使い方によっていくつかの方法が考えられる。即ちメモリの上半分と下半分に分ける方法や、データとパリティを1つおきに収容する方法等があり、収容変更による制御部の変更はデータのラッチ回路とアドレスビットの使い方の変更等で最小限に行うことが出来る。

#### (発明の効果)

本発明により従来と同じパリティチェックが簡単な制御回路を使うことにより行われ、且つメモリ数を半減することが出来、実装上有利になる。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、第2図(a)と(b)は本発明の実施例の概要図とメモリ構成図、第3

即ちアドレス発生回路2によりデータ部分のアドレスを生成し、データ部分の8ビットを読み取りラッチ回路4に留置しておく。このタイミングはアクセスタイムを考慮してラッチ制御回路3により発生される。次にデータ部分に対応するパリティ部分のアドレスをアドレス発生回路2により生成し、パリティ部分の1ビットを読み取り、先にラッチ回路4にラッチしておいた8ビットデータと共に、パリティチェック回路5に入力してエラーチェックを行い、エラーがあればエラー信号を発生する。

第2図(b)に実施例のメモリ構成図を示す。メモリは8ビット×2Kのワードを識別する11本のアドレスを有するメモリで、A<sub>0</sub>~A<sub>10</sub>の11本のアドレス端子とD<sub>0</sub>~D<sub>8</sub>の8本の読み取り端子からなり、メモリ領域はそれぞれ8ビット×1Kのデータ領域とパリティ領域とに分割される。アドレス端子A<sub>10</sub>はそれぞれのメモリ領域のCS端子に接続され、入力信号の最初のビットが0か1によりデータ領域かパリティ領域かを識別して領域選

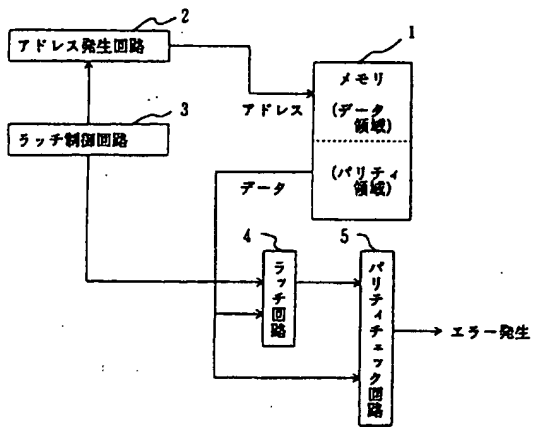
Best Available Copy

図(a)と(b)は従来例の概要図とメモリ構成図を示す。

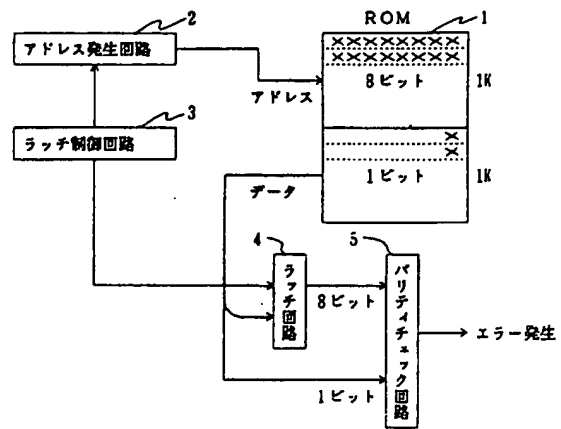
図において、1はメモリ(RAM又はRAM)、2はアドレス発生回路、3はラッチ制御回路、4はラッチ回路、5はパリティチェック回路を示す。

代理人 弁理士 井 術 貞 一



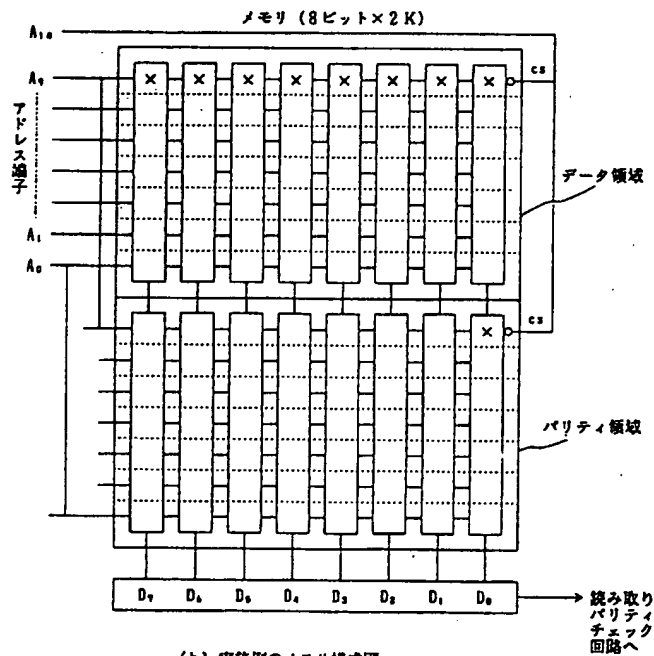


本発明の原理図  
第 1 図

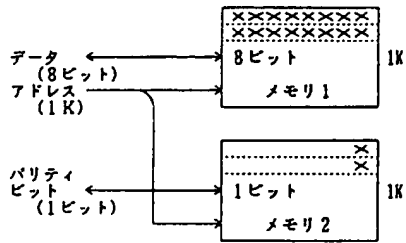


(a) 本発明の実施例概要図  
第 2 図

Best Available Copy

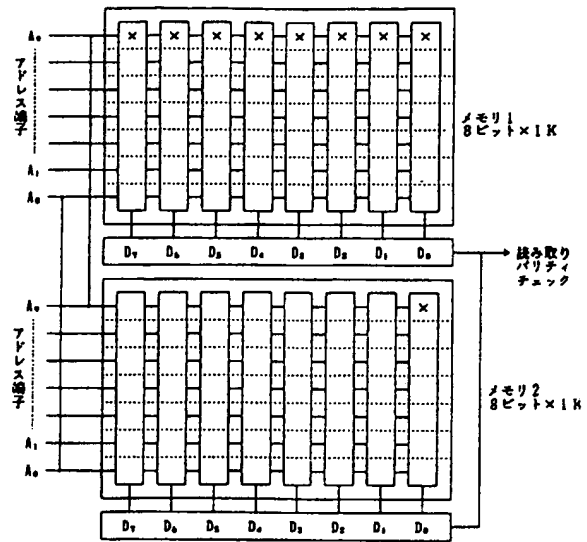


(b) 実施例のメモリ構成図  
第 2 図



(a) 従来例の概要図

第 3 図



(b) 従来例のメモリ構成図

第 3 図

Best Available Copy